

# EXHIBIT 7



**Espacenet**

## Bibliographic data: DE3031103 (A1) — 1982-03-18

---

**Multilayer circuit board alignment system - uses bored holes and solder bosses as reference marks**

**Inventor(s):** SCHEU ERICH KARL [DE]; LOCHBUEHLER BERTHOLD [DE] ± (KARL SCHEU, ERICH, ; LOCHBUEHLER, BERTHOLD, ; SCHEU, ERICH KARL, 7767 SIPPLINGEN, DE, ; LOCHBUEHLER, BERTHOLD, 7772 UHLINGEN-MUEHLHOFEN, DE)

**Applicant(s):** BODENSEEWERK GERAETETECH [DE] ± (BODENSEEWERK GERAETETECHNIK GMBH, ; BODENSEEWERK GERAETETECHNIK GMBH, 7770 UEBERLINGEN, DE)

**Classification:** - **international:** H05K13/08; H05K3/46; H05K1/02; H05K3/00; (IPC1-7): H05K3/00; H05K3/46  
- **cooperative:** H05K13/08; H05K3/4638; H05K1/0269; H05K2201/09781; H05K3/0008; H05K3/0047; H05K3/0052

**Application number:** DE19803031103 19800816

**Priority number(s):** DE19803031103 19800816

**Also published as:** DE3031103 (C2)

### Abstract of DE3031103 (A1)

Printed circuit boards that are stacked and compacted into multi-layer circuit boards require to be accurately aligned so that displacements of the tracks and solder bosses cannot occur. This can be overcome by applying a solder boss to each circuit board as a marker, over or below which, there are no solder bosses or tracks respectively, on the other circuit boards used in the stack. A reference hole is also made in the board and passed through the boss. When the translucent multi-layer board is held up against a strong light source, the positions of the solder bosses relative to the bored holes can be clearly seen. By producing these bored holes on a digitally controlled boring machine, all the holes will have an exact relative position to one another. The displacement of each individual P.C.B. to the hole reference diagram can then be seen immediately.





**Publication number:** DE3031103 A1  
**Publication country:** GERMANY  
**Publication type:** DOCUMENT LAID OPEN (FIRST PUBLICATION)  
**Publication date:** 19820318  
**Application number:** DE19803031103  
**Application date:** 19800816  
**Priority:** DE1980303110319800816DE19803031103;  
**Assignee:** BODENSEEWERK GERAETETECHNIK GMBH ;  
**Assignee<sup>std</sup>:** BODENSEEWERK GERAETETECH ;  
**Inventor:** KARL SCHEU ERICH ;  
**Inventor<sup>std</sup>:** LOCHBUEHLER BERTHOLD ; SCHEU ERICH KARL ;  
**International class<sup>1-7</sup>:** H05K3/46 ; H05K3/00 ;  
**International class<sup>8</sup>:** H05K1/02; H05K3/00; H05K3/46; H05K13/08;  
**Cooperative Patent class:** H05K13/08 ; H05K1/0269 ; H05K3/0008 ; H05K3/0047 ;  
H05K3/0052 ; H05K3/4638 ; H05K2201/09781 ;  
**Family members:** [DE3031103 A1](#) [DE3031103 C2](#)  
**Title:** MULTILAYER CIRCUIT BOARD ALIGNMENT  
SYSTEM - USES BORED HOLES AND SOLDER  
BOSSES AS REFERENCE MARKS  
VERFAHREN ZUR PRUEFUNG DES  
LAGEVERSATZES BEI  
MEHRLAGENLEITERPLATTEN

**Abstract:**

Verfahren zur Pruefung des Lageversatzes bei Mehr lagenleiterpiatten, die aus einer Mehrzahl von einzelnen Leiterplatten durch Verpressen hergestellt werden, dadurch gekennzeichnet, dass (a) an jeder Leiterplatte zwei Marken (20, 22, 24, 26) so angebracht werden, dass sie nach dem Verpressen der Lagen erkennbar sind, und (b) die Lage a jeder Marke (20, 22, 24, 26) in Bezug auf eine Referenzmarke (20a, 22a, 24a, 26a) bestimmt wird.

Printed circuit boards that are stacked and compacted into multi-layer circuit boards require to be accurately aligned so that displacements of the tracks and solder bosses cannot occur. This can be overcome by applying a solder boss to each circuit board as a marker, over or below which, there are no solder bosses or tracks respectively, on the other circuit boards used in the stack. A reference hole is also made in the board and passed through the boss. When the translucent multi-layer board is held up against a strong light source, the positions of the solder bosses relative to the bored holes

can be clearly seen. By producing these bored holes on a digitally controlled boring machine, all the holes will have an exact relative position to one another. The displacement of each individual P.C.B. to the hole reference diagram can then be seen immediately.

**Claims:**

## Patentansprueche

1. Verfahren zur Pruefung des Lageversatzes bei Mehr lagenleiterplatten, die aus einer Mehrzahl von einzelnen Leiterplatten durch Verpressen herX,e- stellt werden, dadurch gekennzeichnet, dass (a) an jeder Leiterplatte zwei Marken (20, 22, 24, 26) so angebracht werden, dass sie nach dem Verpressen der Lagen erkennbar sind, und (b) die Lage a jeder Marke (20, 22, 24, 26) in Bezug auf eine Referenzmarke (20a, 22a, 24a, 26a) bestimmt wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass (a) an jeder Leiterplatte als Marke ein Loetauge vorgesehen wird, ueber oder unter welchem auf den anderen Leiterplatten jeweils keine Loetaugen oder Leiterbahnen vorhanden sind, und (b) als Referenzmarke eine Bohrung durch die Leiterplatten angebracht wird, welche durch das als Marke dienende Loetauge hindurchgeht.
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Marken von leiterbahnaehnlichen Streifen (20, 22, 24, 26) an der Kante (14) jeder Leiter platte (28... 36) gebildet sind, von denen einer als Referenzmarke (20a, 22a...) dient.
4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, dass je ein Streifen (20, 22) an zwei eine Ecke bildenden Kanten (14) der Leiterplatte vorgesehen wird.
5. Verfahren nach einem der Ansprueche 1 bis 4, da durch gekennzeichnet, dass jede Leiterplatte (28... 36) zwei Marken (20, 22 und 24, 26) in zwei voneinander entfernten Bereichen aufweist, und die beiden Marken mit je einer Refe.-enzwarke (20a, 22a;24a, 26a) verglichen werden.
6. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass (a) die Lage von Bohrloechern (38, 40) zu den Loetaugen (18) der obersten teiterplatte (28) bestimmt wird und (b) die Marken (20a, 22a, 24a, 26a) an den Kanten (14) der obersten teiterplatte (28) als Referenzmarken benutzt werden, wobei sich die Lage der Bohrloecher (38, 40) zu Loetaugen (12) der unterliegenden Leiterplatten (30...36) jeweils aus der Summe des Versatzes des Bohrloches (38, 40) zu dem Loetauge (18) der obersten Leiterplatte und des Versatzes der Marken (20, 22, 24, 26) der unterliegenden Leiterplatte (30...36) zu den Marken (20a, 22a, 24a, 26a) der obersten Leiterplatte (28) ergibt.

7. Verfahren nach einem der Ansprueche 1 bis 6, da durch gekennzeichnet, dass an den Raendern der Leiterplatten weitere leiterbahnaehnliche Streifen (42...48) derart gestaffelt angeordnet sind, dass sie bei richtigem uebereinanderlegen der Leiter platten (28... 36) auf der Seitenflaeche der daraus hergestellten Nehrlagenleiterplatte ein monoton steigendes oder fallendes Muster (Fig.7) bilden.

8. Verfahren nach einem der Ansprueche 1 bis 7, da durch gekennzeichnet, dass die Dicke der an den Raendern der Leiterplatten zu Pruefzwecken gebildeten leiterbahnaehnlichen Streifen zur Kontrolle der Staerke der auf die Leiterbahn aufgetragenen Kupferschicht mittels eines Nessmikroskops ge messen wird.

## Claims

1 Be lagenleiterplatten procedures for confirmation of the position offset for multiple, which are composed of a plurality of individual circuit boards by compressing Herx, e represents, characterized in that (a) on each board, two marks (20, 22, 24, 26) mounted so is determined that they are visible after pressing the layers, and (b) the location of each brand a (20, 22, 24, 26) with respect to a reference mark (20a, 22a, 24a, 26a).

2 The method of claim 1, characterized in that (a) is provided on each board as brand a pad, over or under which are present on the other boards in each case no solder pads or conductors, and (b) attached as a reference mark a hole through the PCB will, which passes through the solder pad serving as a brand.

3 The method of claim 1, characterized in that the marks of leiterbahnaehnlichen strips (20, 22, 24, 26) on the edge (14) each conductor plate (28.. 36) are formed, one as a reference mark (20a,... 22a) is used.

4 The method of claim 3, characterized in that each is a strip (20, 22) provided at two edges forming a corner (14) of the PCB.

5 The method of claims 1 to 4, characterized in that each circuit board (28.. 36), two marks (20, 22 and 24, 26) in two distant areas has, and the two brands, each with a reference. -enzwarke (20a, 22a, 24a, 26a) are compared.

6 The method of claim 2, wherein (a) the location of wells (38, 40) (18) to the solder pads of the top teiterplatte (28) is determined and (b) trade marks (20a, 22a, 24a, 26a) at the edges (14) top-teiterplatte (28) are used as reference marks, whereby the position of the holes (38, 40) to pads (12) of the underlying printed circuit boards (30.. 36) respectively from the sum of the offset of the drill hole (38, 40) to the pads (18) of the top board and the offset of the grades (20, 22, 24, 26) of the underlying circuit board (30.. 36) of the brands (20a, 22a, 24a, 26a) on the top board (28) is obtained.

7th The method of claims 1 to 6, since, that are marked on the edges of the PCBs more leiterbahnaehnliche strips (42.. 48) are staggered so that they, if properly put together over the circuit boards (28.. 36) on the Seitenflaeche produced from it Nehrlagenleiterplatte a monotonically increasing or decreasing pattern (Fig. 7) form.

8th The method of claims 1 to 7, characterized in that the thickness is measured at the edges of the PCBs for testing purposes leiterbahnaehnlichen strip formed to control the thickness of the deposited copper layer on the conductive path through a microscope, GE Ness.

### **Description:**

Verfahren zur Pruefung des Lageversatzes bei Nehrlagen- leiterplatten Die Erfindung betrifft ein Verfahren zur Pruefung des Lageversatzes bei Mehrlagenleiterplatten, die aus einer Mehrzahl von einzelnen Leiterplatten durch Verpressen hergestellt werden.

leiterplatten sind Platten aus Isolierstoff, welche auf beiden Seiten Leiterbahnen und Loetaugen aus Kupfer- schichten tragen. Diese Leiterbahnen und Loetaugen sind mittels einer Photoaetztechnik auf gebracht. Mehrere solcher Leiterplatten werden unter Zwischenlage von Isolierschichten aufeinandergelegt und zu einer "Mehrlagenleiterplatte" verpresst. Auf diese Weise koennen Schaltverbindungen auch mit sich kreuzenden Leiterbahnen hergestellt werden. Es koennen auch Leiterbahnen hergestellt werden, welche eine dazwischenliegende Leiterbahn abschirmen. Um die Leiterbahnen der verschiedenen Leiterplatten mitein an der und mit den auf der obersten Leiterplatte montierten Bauteilen zu verbinden, sind Bohrungen vorgesehen, die durch die Mehrlagenleiterplatte hindurchgehen. Die Innenwandungen dieser Bohrungen werden metallisch beschichtet, und ueber diese Beschichtung erfolgt die elektrische Verbindung zwischen den verschiedenen einzelnen Leiterplatten bzw. die Verbindung mit der obersten Leiterplatte und den darauf montierten Bauteilen. Die Bohrungen mit ihren beschichteten Innenwandungen treffen dabei auf Loetaugen der jeweiligen Teilerplatte, ueber welche die elektrischen Verbindungen hergestellt werden.

Die Bohrungen werden dabei genau nach den Passemarken (Referenzpunkte) der obersten Leiterplatte ausgerichtet.

Sie werden ueblicherweise durch eine digital gesteuerte Bohrmaschine mit hoher Genauigkeit vorgegeben und liefern ein "Lochbild".

Beim Verpressen der Mehrlagenleiterplatte-~ kann ein Lageversatz der verschiedenen Leiterplatten gegenueber der obersten Leiterplatte und damit gegenueber den Bohrungen auftreten. Es koennen sich auch einzelne Leiterplatten verziehen. Das kann dazu fuehren, dass eine Bohrung das zugehoerige Loetauge nicht trifft, so dass die elektrische Verbindung nicht hergestellt wird.

Die Bohrung kann auch eine Leiterbahn einer anderen Leiterplatte treffen, an welcher sie konstruktionsgemaess im Abstand vorbeigehen sollte. Dadurch koennen falsche elektrische Verbindungen hergestellt werden.

Es ist daher erforderlich, Mehrlagenleiterplatten auf Lageversatz zu kontrollieren.

Es ist zu diesem Zweck bekannt, auf den Leiterplatten ausserhalb des eigentlichen Schaltbildes ein schaltbildartiges Muster, den "Teststreifen", anzubringen um Schliffbilder dieses Teststreifens zu untersuchen.

Die Schliffbilder dieses Teststreifens liefern ein Mass fuer den Versatz der einzelnen Lagen oder Leiter Platten gegeneinander und zu dem von den verschiedenen Loechern gebildeten "Lochbild".i Die Herstellung eines Schliffbildes ist aufwendig.

Da der Teststreifen, wie gesagt, ueblicherweise ausserhalb des eigentlichen Schaltbildes liegt, liefert das Schliffbild des Teststreifens keine eindeutige Aussage ueber den Lagenversatz innerhalb des Schaltbildes.

Will man den wirklichen Versatz innerhalb des Schaltbildes feststellen, muss wenigstens eine Mehrlagenleiterplatte eines Loses zersaegt werden, und es muessen Schliffbilder von Bohrungen innerhalb des Schaltbildes neu angefertigt werden. Da solche Mehrlagenleiterplatten haeufig sehr teuer sind, ist dieses Verfahren aufwendig. Ausserdem erfolgt nur eine Pruefung einer Mehrlagenleiterplatte, welche nicht notwendig einen Schluss auf die Qualitaet der anderen, nicht ge-- prueften Nehrlagenleiterplatten des gleichen Loses zulaesst, und gerade die gepruefte Mehrlagenleiterplatte wird zerstoert und nicht verwendet.

Der Erfindung liegt die Aufgabe zugrunde, eine zerstoerungsfreie Kontrolle des Lagenversatzes von Mehrlagenleiterplatten im Bereich des Leiterbildes selbst vorzunehmen.

Erfindungsgemaess wird diese Aufgabe dadurch geloest, dass (a) an jeder Leiterplatte zwei Marken so angebracht sind, dass sie nach dem

Verpressen der Lagen erkennbar sind, und (b) die Lage jeder Marke in Bezug auf eine

Referenzmarke'bestimmt wird.

Die Erfindung kann auf verschiedene Weise verwirklicht werden. Einige Ausgestaltungen der Erfindung sind Gegenstand der Unteransprueche.

Einige Ausfuehrungsbeispiele der Erfindung sind nicht stehend unter Bezugnahme auf die zugehoerigen Zeichnungen naeher erlaeutert:

Fig. 1 zeigt vergroessert ein Beispiel einer

Leiterplatte, die eine Lage einer Nehrlagenleiterplatte bildet.



Fig. 2 zeigt die Leiterplatte, welche die oberste Lage der Mehrlagenleiterplatte bildet.

Fig. 3 zeigt zwei Ecken der obersten Leiterplatte oder Lage einer Mehrlagenleiterplatte.

Fig. 4 ist in vergrößertem Massstab eine

Seitenansicht einer Mehrlagenleiterplatte in Richtung des Pfeils A von

Fig. 3.

Fig. 5 zeigt eine Seitenansicht in Richtung des Pfeils B von Fig. 3.

Fig. 6 zeigt Marken, welche eine Kontrolle der Reihenfolge der Lagen der Mehrlagenleiterplatte gestattet.

Fig. 7 ist eine zugehörige Seitenansicht.

Fig. 1 zeigt ein Beispiel einer Leiterplatte, die eine Lage einer Mehrlagenleiterplatte bildet, in vergrößertem Massstab. Die Leiterplatte enthält auf einer Isolierplatte Leiterbahnen 10 und Lötlöcher 12 aus Kupferschichten, die mittels einer Photoätztechnik aufgebracht sind. Neben dem eigentlichen Leiterbild, welches durch die Ränder 14 begrenzt ist, sind zunächst Teststreifen 16 gebildet, die nach dem Verpressen der Mehrlagenleiterplatte abgeschnitten werden und durch Schliffbilder untersucht werden können.

Fig. 2 zeigt die Leiterplatte, welche die oberste Lage der Mehrlagenleiterplatte bildet. Diese Leiterplatte enthält ein Muster von Lötlöchern 18. Jedes Lötlöcher 12 der darunterliegenden Leiterplatten fluchtet mit einem Lötlöcher 18 dieser obersten Leiterplatte. Die Verbindung zwischen den Lötlöchern 12 und den darüberliegenden Lötlöchern 18, mit denen auch die elektrischen und elektronischen Bauteile der Schaltung verbunden werden, erfolgt durch ein Muster von Bohrungen, welche durch die Mehrlagenleiterplatte hindurchgehen und deren Innenwände metallisch beschichtet sind. Dieses Muster (Bohrbild) ist durch eine digital gesteuerte Bohrmaschine sehr genau vorgegeben.

Zur Prüfung des Lageversatzes der einzelnen Lagen der Mehrlagenleiterplatte sind an den Rändern 14 der einzelnen Leiterplatten Marken 20, 22 bzw. 24, 26 und 20a, 22a bzw. 24a, 26a angebracht. Diese Marken sind von leiterbahnenähnlichen Streifen an der Kante jeder Leiterplatte 28 bis 36 (Fig. 4) gebildet, von denen einer, z.B. der Streifen auf der obersten Leiterplatte 28 als Referenzmarke dient. Bei dem dargestellten Ausführungsbeispiel sind je ein Streifen 20, 22 bzw. 24, 26 an zwei eine Ecke bildenden Kanten 14 der Leiterplatte vorgesehen. Dadurch kann der Versatz in zwei Koordinaten x und y gemessen werden. Weiterhin sind bei dem bevorzugten Ausführungsbeispiel an jeder Leiterplatte 28 bis 36 zwei Marken bzw. Paare von Marken 20, 22 und 24, 26 in zwei voneinander

entfernten Bereichen, naemlich an zwei diametral einander gegenueberliegenden Ecken, vorgesehen, die mit je einer Referenzmarke verglichen werden. Auf diese Weise kann eine Streckung des Materials oder eine Verdrehung einer Leiterplatte gegenueber den anderen festgestellt werden.

Wie anhand von Fig. 3 bis 5 erlaeutert ist, wird die Lage von Bohrloechern 38, 40 zu den Loetaugen 18 der obersten Leiterplatte 28 bestimmt. Die Marken 20a bis 26a an den Kanten der obersten Leiterplatte werden als Referenzmarken benutzt. Die Lage der Bohrloecher 38, 40 zu den Loetaugen 12 der darunterliegenden Leiterplatten 30 bis 36 ergibt sich dabei jeweils aus der Summe des Versatzes des Bohrloches 38, 40 zu dem Loetauge 18 der obersten Leiterplatte 28 und des Versatzes der Marken 20...26 der untenliegenden Leiterplatte, z.B.

30, zu den Marken der obersten Leiterplatte 28.

Eine andere Ausfuehrung besteht darin, dass (a) an jeder Leiterplatte als Marke ein Loetauge vorgesehen wird, ueber oder unter welchem auf den anderen Leiterplatten je weils keine Loetaugen oder Leiterbahnen vorhanden sind, und (b) als Referenzmarke eine Bohrung durch die

Leiterplatten angebracht wird, welche durch das als Marke dienende Loetauge hindurchgeht.

Bei dieser Anordnung dienen als Referenzmarken Bohrloecher des Bohrbildes. Wenn man die durchscheinende Mehrlagenleiterplatte gegen eine starke Lichtquelle haelt, dann kann man die Lagen der als Marken dienenden Loetaugen relativ zu den Bohrloechern deutlich erkennen.

Durch die Herstellung der Bohrloecher mittels einer digital gesteuerten Bohrmaschine haben alle Bohrloecher des Bohrbildes eine genau definierte relative Lage zueinander. Es kann daher ein Lageversatz jeder einzelnen Leiterplatte zu dem als Referenz dienenden Bohrbild unmittelbar beobachtet werden.

Wie in den Figuren 6 und 7 dargestellt ist, koenne an den Raendern der Leiterplatten 30, 32, 34, 36 weitere leiterbahnaehnliche Streifen 42, 44, 46 und 48 derart gestaffelt angeordnet sein, dass sie bei richtigem uebereinanderlegen der Leiterplatten auf der Seitenflaeche der daraus hergestellten Mehrlagenleiterplatte ein monoton steigendes oder fallendes Muster bilden, wie es in Fig. 7 dargestellt ist. Hinsichtlich der Schaltverbindungen ist die Reihenfolge, in welcher die Leiterplatten uebereinanderliegen, unkritisch. Es sind jedoch haeufig Leiterbahnen vorgesehen, die lediglich die Funktion haben, eine andere Leiterbahn abzuschirmen. Dazu muessen die abschirmenden Leiterbahnen auf beiden Seiten der abzuschirmenden Leiterbahn liegen, und hierfuer kommt es auf die Reihenfolge der aufeinanderliegenden Leiterplatten an. Durch das in Verbindung mit Fig. 6 und 7 beschriebene Verfahren kann die Reihenfolge des Aufeinanderliegens der Leiterplatten bequem kontrolliert werden.

Die Erfindung macht es weiterhin moeglich, dass die Dicke der an den Raendern der Leiterplatten zu Pruefzwecken gebildeten leiterbahnaehnlichen Streifen zur Kontrolle der Staerke der auf die Leiterbahn aufgetragenen Kupferschicht mittels eines Nessmikroskops gemessen wird.

Leerseite

Procedures for confirmation of the location offset from Nehrlagen-circuit boards, the invention relates to a method for confirmation of the location offset for multilayer printed circuit boards that are made from a plurality of individual printed circuit boards by compression.

lieiterplatten plates are made of insulating material, which will on both sides of tracks and pads made of copper layers. This circuit traces and pads are put on by a Photoaetztechnik. Several such boards are laid one by the interposition of insulating layers and a "multi-layer printed circuit board" pressed. Be produced in this way can also switch connections with intersecting tracks. It can also be produced tracks, which protect an intervening conductor. To the conductors of the various circuit boards with each of the and the to connect to the top circuit board mounted components, holes are provided which are determined by the multi-layer printed circuit board hindurchgehen. Die inner walls of these wells coated with metal, and over this coating, the electrical connection between the various individual PCB or the connection with the top circuit board and components mounted thereon. The wells coated with solder pads on the inside walls make it relevant Teiterplatte, over which the electrical connections are made.

Drilling will it just after the printer marks (reference points) aligned to the top PCB.

They are usually prescribed by a digitally controlled drilling machine with high accuracy and provide a "hole pattern".

When pressing in the multi-layer PCB-~, a position offset of the various boards to occur over the top circuit board and thus opposite the holes. It can also distort single PCB. This can lead to having a hole does not apply the corresponding solder pads, so that the electrical connection is not established.

The hole can make a trace of another board on which they should konstruktionsgemaess pass in the distance. This incorrect electrical connections can be made.

It is therefore necessary to control multi-layer printed circuit boards at position offset.

It is known for this purpose, on the boards outside the actual circuit diagram, a diagram-like pattern, the "test strip" to bring to micrographs to examine this test strip.

The micrographs of this test strip provide a measure for the displacement of individual layers or boards against each other and to the various holes formed by the "hole pattern". i The production of a micrograph is complex.

Since the test strip, as I said, usually lies outside the actual diagram gives the micrograph of the test strip is no clear statement about the position offset within the diagram.

Will you tell the real shift in the diagram, must be at least one multi-layer circuit board of a lot to be sawn up and have to cut pictures of holes within the diagram can be remade. As such multilayer printed circuit boards are often very expensive, this method is complicated. Furthermore, at only a single examination of a multilayer circuit board, which is not necessarily indicative of the quality not the other, ge - allows Nehrlagenleiterplatten examined the same lot, and just the tested multilayer printed circuit board will be destroyed and not used

.

The invention has for its object to make a Non-destructive control of the position offset of multilayer printed circuit boards in the area of the conductive pattern itself. invention this object is achieved in that (a) are attached to each board two brands so that after the compressing the layers are visible, and (b) the position of each brand in terms of a is Referenzmarke'bestimmt.

The invention may be implemented in various ways. Some embodiments of the invention are the subject of Unteransprueche.

Some

Ausfuehrungsbeispiele the invention are not standing described with reference to the accompanying drawings:

FIG

1 shows an example of an enlarged circuit board which forms a layer of a Nehrlagenleiterplatte.

FIG

2 shows the LeiterFlatte which the top layer of the multilayer printed circuit board is formed.

FIG

3 shows the top two corners of the conductor plate or layer of a multilayer printed circuit board.

FIG

4 on an enlarged scale is a side view of a multilayer printed circuit board in the direction of arrow A of

FIG

3rd

FIG

5 shows a side view in the direction of arrow B of Figure 3

FIG

6 shows brands, which control the order of the layers of multilayer printed circuit board allows.

FIG

7 is an associated Seitenansicht.

FIG

1 shows an example of a circuit board which forms a layer of a multilayer printed circuit board, on an enlarged scale, the board contains on an insulating conductors 10 and pads 12 made of copper layers which are applied by means of a Photoaetztechnik. Besides the actual image, which is bounded by the edges 14, 16 are first formed strips that are cut off after pressing the multi-layer printed circuit board and be examined by micrographs can.

FIG

2 shows the circuit board that forms the top layer of the Nehrlagenleiterplatte. This circuit board contains a pattern of solder pads 18th Each solder pads 12 of the underlying PCB solder pads 18 is aligned with one of the top PCB. The connection between the solder pads 12 and the overlying solder pads 18, with which the electrical and electronic components of the circuit are connected is through a pattern of holes, through which pass through the multilayer printed circuit board and its inner walls are coated with metal. This pattern (hole pattern) is given by a digitally controlled drill very well.

To test the positional offset of the individual layers of the multilayer printed circuit board attached to the edges of the PCBs 14 marks 20, 22, 24, 26 and 20a, 22a, 24a, 26a. These brands are leiterbahnaenlichen stripes on the edge of each board 28 to 36 (Fig. 4) formed one of whom, eg the strip is on the top board 28 as a reference mark. In the illustrated Ausfuehrungsbeispiel each one strips 20, 22, 24, 26 at two edges forming a corner 14 of the circuit board are provided. As a result, the offset in the two coordinates x and y are measured. Furthermore, in the preferred Ausfuehrungsbeispiel on each PCB 28-36 two brands or pairs of marks 20,

22 and 24, 26 into two voneinander remote areas, namely in two diametrically opposite each other on opposite corners, qvorgesehen, which are compared with one reference mark. In this way, an extension of the material or a twisting of a PCB can be found opposite the other.

As demonstrated by 3 to 5 will be explained, the location of drill holes 38, 40 determines the solder pads 18 of the top circuit board 28. The marks 20a to 26a of the upper edges of the PCB are used as reference marks. The location of the drill holes to the solder pads 12 38.40 of the underlying circuit boards 30-36 in each case arises from the sum of the offset of the hole 38, 40 to the solder pads 18 of the top board 28 and the offset of the marks 26 of the 20th.. underlying PCB, z, B.

30, marks the top of the head plate 28

Another execution is that (a) is provided on each board as a brand is a Loet eye, over or under which are on the other boards ever since no solder pads or conductors before hand, and (b) as a reference mark, a bore by the

PCB is attached, which passes through the solder pad serving as a brand.

In this arrangement, serve as reference marks of the drill pattern holes. If you hold the translucent Nehrlagenleiterplatte against a strong light source, then you can see the layers of serving as trademarks solder pads relatively clear to the boreholes.

Through the production of wells by means of a digitally controlled drill all holes of the drill pattern a precisely defined position relative to each other. It may therefore be an offset location of each circuit board serving as a reference to the drill pattern can be observed directly. in the Figures 6 and 7 is shown, can be arranged staggered so that they, if properly the PCB superimposing on the edges of the PCBs 30, 32, 34, 36 more leiterbahnaehnliche strips 42, 44, 46 and 48 Seitenflaeche as derived multilayer printed circuit board form a monotonically increasing or decreasing pattern, as shown in Figure 7. Regarding the circuit connections, the order in which the boards are about each other, uncritical. There are, however, frequently provide conducting paths, which only have the function to shield another conducting path. To the abschirmenden conductors have to be shielded on both sides of the conductor are, and here for it depends on the order of the superimposed circuit boards. By in connection with Figures 6 and 7 procedure, the order of succession of the circuit boards are lying comfortably controlled.

The invention makes

it still possible that the thickness at the edges of the PCBs for testing purposes leiterbahnaehnlichen strip formed to control the thickness of the deposited copper layer on the conductive path is measured by a microscope Ness. blank page

**Cited by:** DE19742268 C1 ; DE3045433 A1 ; DE3342564 A1 ;  
DE3642926 A1 ; EP0053272 A2 ; EP0264243 A2 ;  
EP0669792 A2 ; FR2549677 A1 ; US6162314 A ;

**Non patent citations:** NICHTS-ERMITTELT

---